

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09325913 A**(43) Date of publication of application: **16 . 12 . 97**

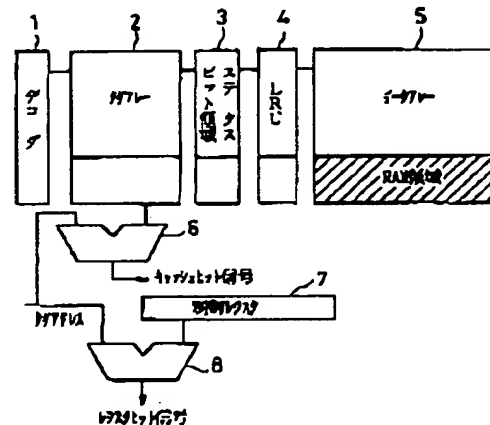
(51) Int. Cl.

**G06F 12/08**  
**G06F 12/08**(21) Application number: **08142954**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **05 . 06 . 96**(72) Inventor: **KOBAYASHI Taneo****(54) SEMICONDUCTOR MEMORY****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To facilitated memory architecture flexible and compact and to attain the simplification of refile operation control by setting a RAM area only for an arbitrary entry inside the arbitrary area of a cache memory.

**SOLUTION:** In relation to the capacity of RAM to be set, the arbitrary number of entries are set as RAM areas for the unit of an entry inside the arbitrary area of a data array 5. The addresses of RAM areas set like this are set to a control register 7. The tag address information of RAM areas set to the control register 7 is compared with the tag address of a cache access address and a comparator 8 discriminates whether the tag address accessing the cache memory performs access to the RAM area set to the data array 5 or not. When the address accessing the cache memory performs access to the RAM area set to the data array 5, a register hit signal is outputted from the comparator 8.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-325913

(43) 公開日 平成9年(1997)12月16日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0	7623-5 B	G 0 6 F 12/08 3 1 0 Z	
		7623-5 B		E
		7623-5 B		W

審査請求 未請求 請求項の数 5 O L (全8頁)

(21) 出願番号 特願平8-142954

(22) 出願日 平成8年(1996)6月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小林 胤雄

神奈川県川崎市幸区堀川町580番1号 株式

会社東芝半導体システム技術センター内

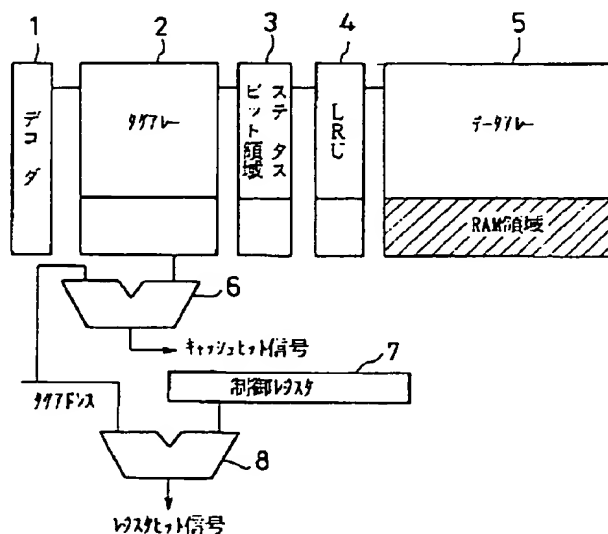
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 この発明は、メモリ構成の柔軟性、構成の小型化、リフィル動作制御の容易化を図ったキャッシュメモリとRAMの双方を備えた半導体記憶装置を提供することにある。

【解決手段】 この発明は、タグアレー2と、任意の領域にエントリ単位でRAMのデータ記憶領域となるRAM領域が設定されるデータアレー5を備えたキャッシュメモリと、データアレー5に設定されるRAM領域を指定するタグアドレス情報が格納される制御レジスタ7と、タグアドレスと制御レジスタ7に格納されたタグアドレス情報を比較して、キャッシュアクセスアドレスがRAM領域をアクセスしたことを示し、RAM領域におけるデータのアクセスを制御するレジスタヒット信号を生成する比較器を備えて構成される。



## 【特許請求の範囲】

【請求項1】 キャッシュアクセスアドレスのインデックスアドレスによって選択されるタグアドレスが格納されるタグアレーと、前記タグアレーに格納されたタグアドレスに対応してデータが格納され、任意の領域にエントリ単位でRAM（ランダム・アクセス・メモリ）のデータ記憶領域となるRAM領域が設定されるデータアレーを備えたキャッシュメモリと、  
前記データアレーに設定されるRAM領域を指定するタグアドレス情報が格納されるRAM領域指定手段と、  
キャッシュアクセスアドレスのタグアドレスと前記RAM領域指定手段に格納されたタグアドレス情報を比較して、キャッシュアクセスアドレスが前記キャッシュメモリのデータアレーに設定された前記RAM領域をアクセスしたことを示し、前記RAM領域におけるデータのアクセスを制御するアクセス制御信号を生成する比較器とを有することを特徴とする半導体記憶装置。

【請求項2】 前記キャッシュメモリのデータアレーに設定された前記RAM領域のそれぞれのエントリに対応してRAM領域であることを示すRAM領域ビットを設け、該RAM領域ビットは前記キャッシュメモリにおけるキャッシュミス時のリフィル動作時に参照されて、前記RAM領域ビットに対応した前記データアレーのエントリをリフィル動作から除外してなることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記キャッシュメモリを含むシステムの起動時に、前記RAM領域指定手段にタグアドレス情報を設定する初期時設定手段を有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記キャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、前記RAM領域指定手段にタグアドレス情報を設定するロード時設定手段を有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】 前記キャッシュメモリを含むシステムの起動時、及び前記キャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、前記RAM領域指定手段にタグアドレス情報を設定する初期ロード時設定手段を有することを特徴とする請求項1又は2記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、キャッシュメモリの任意のデータ領域をRAM（ランダム・アクセス・メモリ）のデータ記憶領域として使用する半導体記憶装置に関する。

## 【0002】

【従来の技術】 近年、マイクロプロセッサは動作クロック周波数が向上し、メモリバンド幅が増大しているため、処理するデータ量が膨大になってきている。特に、

画像データのように、まとまったサイズのデータを高速にアクセスする必要がでてきている。

【0003】 従来、データを高速にアクセスできるキャッシュメモリとRAMの双方を必要とする場合には、例えば図9に示すように、キャッシュメモリ100とRAM101をそれぞれ別々に用意して、ハードウェアを構築していた。このような場合は、全体のハードウェアが増大し、特にマイクロプロセッサに混載してオンチップでメモリを使用する場合には、マイクロプロセッサのチップ面積が増大するとともにコストの増加を招いていた。

【0004】 このような不具合を回避するために、キャッシュメモリの一部をRAMとして使用するようにしたものがある。このキャッシュメモリでは、RAMとして使用するエントリにデータを書き込んだ際に状態ビットをロック状態にセットし、キャッシュミス時にRAMとして使用するエントリのデータが書き換えられないようにしている。しかし、このような手法にあっては、キャッシュミス時のリフィル動作におけるデータ書き換えの制御が複雑となり、キャッシュメモリの大規模な領域をRAM化することは困難であった。

【0005】 一方、キャッシュメモリの一部をRAM化したメモリとして、例えば図10に示すように、複数ウェイのセットアソシアティブ方式のキャッシュメモリの1又は複数ウェイのデータアレー102に対して記憶データの入出力を制御するコントロール回路103を設け、キャッシュメモリのデータアレー102をウェイ単位でRAM化するようにしたものがある。

【0006】 また、米国特許USP5410669 (Apr. 25, 1995) には、複数ウェイのキャッシュメモリの一部のウェイをウェイ単位でS（スタティック）RAMとして使用できるようにした発明が記載されている。

【0007】 このようなキャッシュメモリは、キャッシュメモリのデータアレーをウェイ単位でRAM化しているので、RAMの容量をウェイ単位でしか設定することができず、それぞれのシステムに応じてRAMの容量をきめ細かく設定することができなかった。

## 【0008】

【発明が解決しようとする課題】 以上説明したように、キャッシュメモリとRAMとを合せ持ったメモリを構築する従来の手法においては、構成の大型化、リフィル動作時の複雑化ならびにRAMの容量を任意に設定することができないといった不具合を招いていた。

【0009】 そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、上記不具合を解決し、キャッシュメモリとRAMの双方を備えた半導体記憶装置を提供することにある。

## 【0010】

【課題を解決するための手段】 上記目的を達成するために、請求項1記載の発明は、キャッシュアクセスアドレ

10

20

30

40

50

スのインデックスアドレスによって選択されるタグアドレスが格納されるタグアレーと、前記タグアレーに格納されたタグアドレスに対応してデータが格納され、任意の領域にエントリ単位でRAM（ランダム・アクセス・メモリ）のデータ記憶領域となるRAM領域が設定されるデータアレーを備えたキャッシュメモリと、前記データアレーに設定されるRAM領域を指定するタグアドレス情報が格納されるRAM領域指定手段と、キャッシュアクセスアドレスのタグアドレスと前記RAM領域指定手段に格納されたタグアドレス情報を比較して、キャッシュアクセスアドレスが前記キャッシュメモリのデータアレーに設定された前記RAM領域をアクセスしたことを示し、前記RAM領域におけるデータのアクセスを制御するアクセス制御信号を生成する比較器とを有して構成される。

【0011】請求項2記載の発明は、請求項1記載の半導体記憶装置において、前記キャッシュメモリのデータアレーに設定された前記RAM領域のそれぞれのエントリに対応してRAM領域であることを示すRAM領域ビットを設け、該RAM領域ビットは前記キャッシュメモリにおけるキャッシュミス時のリフィル動作時に参照されて、前記RAM領域ビットに対応した前記データアレーのエントリをリフィル動作から除外してなる。

【0012】請求項3記載の発明は、請求項1又は2記載の半導体記憶装置において、前記キャッシュメモリを含むシステムの起動時に、前記RAM領域指定手段にタグアドレス情報を設定する初期時設定手段を有して構成される。

【0013】請求項4記載の発明は、請求項1又は2記載の半導体記憶装置において、前記キャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、前記RAM領域指定手段にタグアドレス情報を設定するロード時設定手段を有して構成される。

【0014】請求項5記載の発明は、請求項1又は2記載の半導体記憶装置において、前記キャッシュメモリを含むシステムの起動時、及び前記キャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、前記RAM領域指定手段にタグアドレス情報を設定する初期ロード時設定手段を有して構成される。

#### 【0015】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0016】図1は請求項1記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

【0017】図1において、この実施形態の半導体記憶装置は、ダイレクトマッピング方式のキャッシュメモリの任意の一部領域をRAM化したものであり、キャッシュアクセスアドレスのインデックスアドレスをデコードするデコーダ1と、タグアドレスが格納されてデコーダ1のデコード出力で格納されたタグアドレスがアクセス

されるタグアレー2と、記憶されるデータの状態を示すステータスビットが格納されるステータスビット領域3と、キャッシュミス時にデータの置き換えを制御するLRU（Least Recent Used）4と、タグアレー2に格納されたタグアドレスに対応してデータが格納され、任意の領域にRAM（ランダム・アクセス・メモリ）のデータ記憶領域としてエントリ単位でRAM領域が設定されるデータアレー5と、タグアレー2に格納されたタグアドレスと外部から与えられるキャッシュアクセスアドレスのタグアドレスを比較して、キャッシュヒット/ミスを判別してキャッシュヒット信号を出力する比較器6とを有するキャッシュメモリと、キャッシュメモリのデータアレー5に設定されるRAM領域を指定するタグアドレス情報が格納されるRAM領域指定手段となる制御レジスタ7と、キャッシュアクセスアドレスのタグアドレスと制御レジスタ7に格納されたタグアドレス情報を比較して、キャッシュアクセスアドレスがキャッシュメモリのデータアレー5に設定されたRAM領域をアクセスしたことを示し、RAM領域におけるデータのアクセスを制御するアクセス制御信号となるレジスタヒット信号を生成する比較器8を備えて構成されている。

【0018】データアレー5においては、データアレー5の単一又は複数の異なる任意の領域に、設定しようとするRAMの容量に応じてエントリ単位で任意の数のエントリがRAM領域として設定される。このようにして設定されるRAM領域のアドレスは、制御レジスタ7に設定される。制御レジスタ7は、例えば図2に示すように構成され、データアレー5に設定されるRAM領域の数に応じたエントリを備え、それぞれのエントリには、RAM領域の先頭タグアドレスとこの先頭タグアドレスからのサイズを示す領域ビットが格納される。すなわち、データアレー5に設定されるRAM領域は、その位置がデータアレー5上において先頭タグアドレスとこの先頭タグアドレスからのサイズによって規定される。一方、RAM領域の先頭タグアドレスと最終タグアドレスによってRAM領域を位置付けるようにしてもよい。

【0019】制御レジスタ7に設定されたRAM領域のタグアドレス情報は、外部から与えられるキャッシュアクセスアドレスのタグアドレスと比較されて、キャッシュメモリをアクセスしたタグアドレスがデータアレー5に設定されたRAM領域をアクセスしたか否かが比較器8によって判別される。判別結果において、キャッシュメモリをアクセスしたタグアドレスがデータアレー5に設定されたRAM領域をアクセスした場合には、レジスタヒット信号が比較器8から出力され、このレジスタヒット信号によってRAM領域におけるデータの入出力が制御される。

【0020】一方、キャッシュメモリのミス時におけるリフィル動作時には、比較器8の出力が参照され、レジ

スタヒット信号が出力された場合には、データを置き換えようとするデータアレー5のエントリーがRAM領域であるため、データの置き換えが行われないようにしている。

【0021】このように、この実施形態にあっては、キャッシュメモリの任意の領域に任意のエントリーだけRAM領域を設定できるので、ウェイ単位でRAM領域を設定する従来に比べてキャッシュメモリを含むシステムに応じてRAMの容量をきめ細かく設定することが可能となり、キャッシュとRAMを備えたメモリを効率良く構築することができ、構成の小型化を図ることができる。

【0022】また、キャッシュメモリにおけるヒットチェックと同等のチェック、すなわちタグアドレスのチェックでRAMアクセスが可能となるので、キャッシュメモリの高速アクセスと同様にRAMを高速にアクセスすることができる。

【0023】さらに、キャッシュミス時に、タグアドレスの比較だけでデータの置き換えから除外されるRAM領域が判別されるので、キャッシュミス時のリフィル動作を容易に制御することが可能となる。

【0024】図3は請求項2記載の発明の一実施形態に係る半導体記憶装置の構成を示す図である。

【0025】図3に示す実施形態の特徴とするところは、キャッシュメモリのデータアレー5のエントリーに対応してRAM使用ビット9が設けられ、データアレー5にRAM領域が設定されると、設定されたRAM領域のエントリーに対応したRAM使用ビット9がRAM使用状態（“1”又は“0”）にセットされるステータスビット領域10を、図1に示すステータスビット領域3に代えて設けたことにあり、他は図1に示す構成と同様である。

【0026】このような構成においては、図1に示す実施形態と同様な効果を得ることができるとともに、RAM使用ビット9がキャッシュミス時のリフィル動作時に参照され、このRAM使用ビット9の状態に応じてデータの置き換えが制御されるので、RAM使用ビット9の参照だけでデータの置き換えから除外されるRAM領域が判別され、RAM領域の判別時間が図1に示す実施形態に比べて短縮され、リフィル動作を迅速に行うことができる。

【0027】図4は請求項1記載の発明の他の実施形態に係る半導体記憶装置の構成を示す図である。

【0028】この実施形態の特徴とするところは、図1に示す実施形態に対して、キャッシュメモリを2ウェイセットアソシアティブ方式とし、ウェイ1側を図1に示す構成としたことにある。このような実施形態においても図1に示す実施形態と同様の効果を得ることができる。

【0029】図5は請求項2記載の発明の他の実施形態

に係る半導体記憶装置の構成を示す図である。

【0030】この実施形態の特徴とするところは、図3に示す実施形態に対して、キャッシュメモリを2ウェイセットアソシアティブ方式とし、ウェイ1側を図3に示す構成としたことにある。このような実施形態においても図3に示す実施形態と同様の効果を得ることができる。

【0031】なお、図4または図5に示す実施形態において、セットアソシアティブ方式のウェイ数は2ウェイに限ることはなく、4ウェイ等任意のウェイ数であっても同様の効果を得ることができる。

【0032】図6は請求項3記載の発明の一実施形態に係る半導体記憶装置の構成を示す図である。

【0033】この実施形態の特徴とするところは、図1に示す実施形態に対して、キャッシュメモリを含むシステムの起動時に、制御レジスタ7にタグアドレス情報を設定する初期時設定回路11を設けたことにあり、他の構成は図1に示す構成と同様である。

【0034】このような実施形態にあっては、システムの起動時にはキャッシュメモリに有効なデータが何も書き込まれていないため、システムの初期設定時に予めRAMとして使用するデータアレー5の領域を確保することができる。

【0035】図7は請求項4記載の発明の一実施形態に係る半導体記憶装置の構成を示す図である。

【0036】この実施形態の特徴とするところは、図1に示す実施形態に対して、キャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、制御レジスタ7にタグアドレス情報を設定するロード時設定回路12を設けたことにあり、他は図1に示す構成と同様である。

【0037】このような実施形態にあっては、キャッシュメモリのデータアレー5に有効なデータがすでに書き込まれているため、キャッシュメモリにしか記憶されていないのであれば、RAM化する領域に記憶されたデータをメインメモリに書き戻すことが必要となる。しかし、RAM領域をプログラム毎に自由に設定変更することができ、キャッシュとRAMを備えたメモリのそれぞれの領域をプログラム毎に柔軟に構成することができる。

【0038】図8は請求項5記載の発明の一実施形態に係る半導体記憶装置の構成を示す図である。

【0039】この実施形態の特徴とするところは、キャッシュメモリを含むシステムの起動時、及びキャッシュメモリを含むシステムで実行されるそれぞれのプログラムのロード時に、制御レジスタ7にタグアドレス情報を設定する初期ロード時設定回路13を設けたことにあり、他は図1に示す構成と同様である。

【0040】このような構成にあっては、図6及び図7に示す実施形態で得られる効果を得ることができる。

7

【0041】なお、図6、図7及び図8に示す実施形態に対して、図3、図4又は図5に示す実施形態の特徴を適用するようにしてもよい。

【0042】

【発明の効果】以上説明したように、請求項1記載の発明によれば、キャッシュメモリの任意の領域に任意のエントリだけRAM領域を設定するようにしたので、ウェイ単位でRAM領域を設定する従来に比べてキャッシュメモリを含むシステムに応じてRAMの容量をきめ細かく設定することが可能となり、キャッシュとRAMを備えたメモリを効率良く構築することができ、構成の小型化を図ることができる。

【0043】また、タグアドレスのチェックでRAMアクセスが可能となるので、キャッシュメモリの高速アクセスと同様にRAMを高速にアクセスすることができ

る。

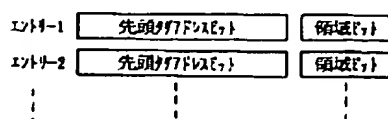
【0044】さらに、キャッシュミス時に、タグアドレスの比較だけでデータの置き換えから除外されるRAM領域が判別されるので、キャッシュミス時のリフィル動作を容易に制御することが可能となる。

【0045】請求項2記載の発明によれば、データアレーにRAM領域が設定されたことを示すRAM使用ビットを設け、このRAM使用ビットの参照によりキャッシュミス時のリフィル動作時におけるデータの置き換えが制御されるので、RAM使用ビットの参照だけでデータの置き換えから除外されるRAM領域が判別され、RAM領域の判別時間が短縮され、リフィル動作を迅速に行うことができる。

【0046】請求項3記載の発明によれば、システムの起動時にRAM領域のタグアドレス情報を設定する構成を採用したので、システムの初期設定時に予めRAMとして使用するデータアレーの領域を確保することができる。

【0047】請求項4記載の発明によれば、プログラムのロード時にRAM領域のタグアドレス情報を設定する構成を採用したので、RAM領域をプログラム毎に自由に設定変更することができ、キャッシュとRAMを備えたメモリのそれぞれの領域をプログラム毎に柔軟に構成することができる。

【図2】



8

【0048】請求項5記載の発明によれば、システムの起動時、及びプログラムのロード時にRAM領域のタグアドレス情報を設定する構成を採用したので、請求項3及び請求項4記載の発明で得られる効果の双方を得ることができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

【図2】図1に示す制御レジスタの構成を示す図である。

【図3】請求項2記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

【図4】請求項1記載の発明の他の実施形態に係わる半導体記憶装置の構成を示す図である。

【図5】請求項2記載の発明の他の実施形態に係わる半導体記憶装置の構成を示す図である。

【図6】請求項3記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

【図7】請求項4記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

【図8】請求項5記載の発明の一実施形態に係わる半導体記憶装置の構成を示す図である。

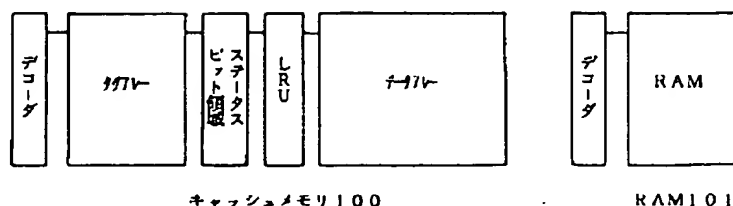
【図9】キャッシュメモリとRAMを備えた従来のメモリの構成を示す図である。

【図10】キャッシュメモリにRAM領域を設けた従来のメモリの構成を示す図である。

【符号の説明】

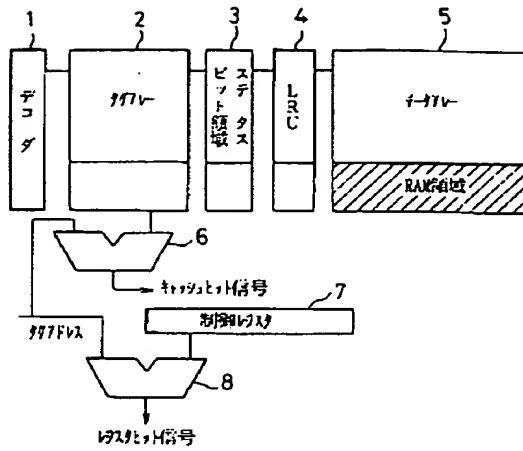
- 1 デコーダ
- 2 タグアレー
- 3, 10 ステータスビット領域
- 4 LRU
- 5 データアレー
- 6, 8 比較器
- 7 制御レジスタ
- 9 RAM使用ビット
- 11 初期時設定回路
- 12 ロード時設定回路
- 13 初期ロード時設定回路

【図9】

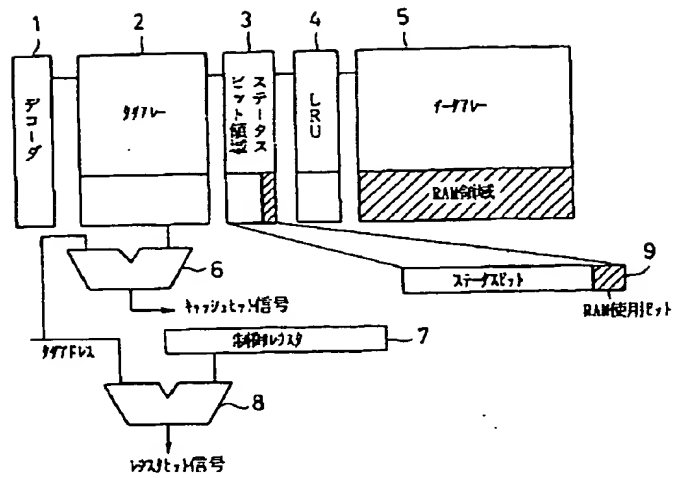


RAM101

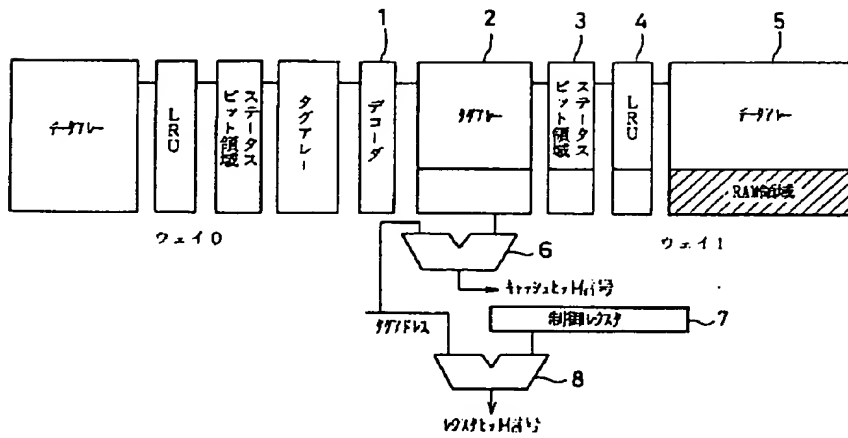
【図1】



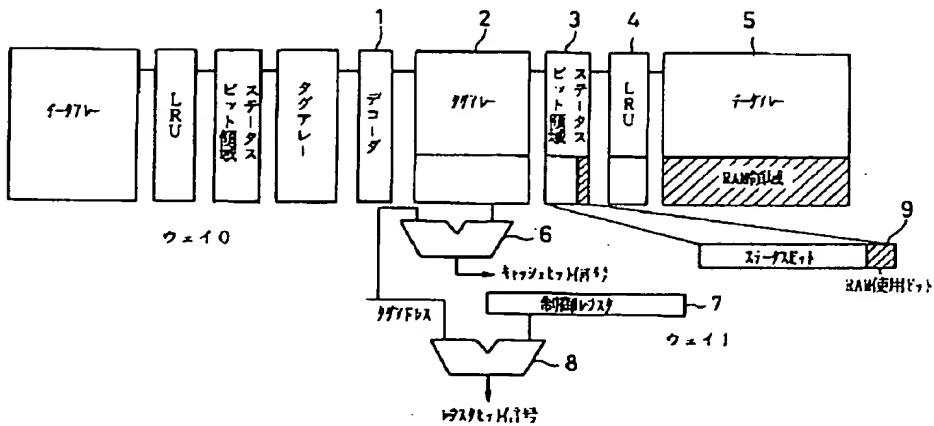
【図3】



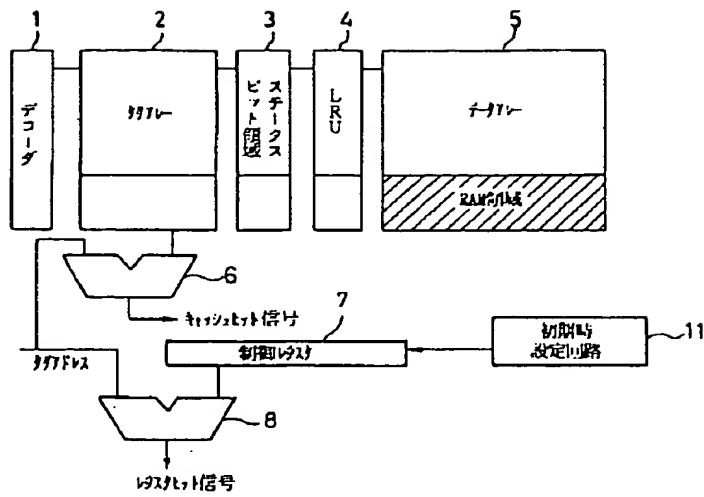
【図4】



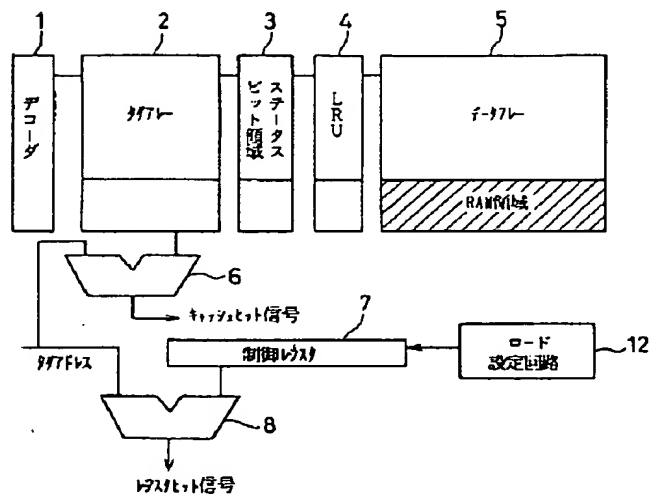
【図5】



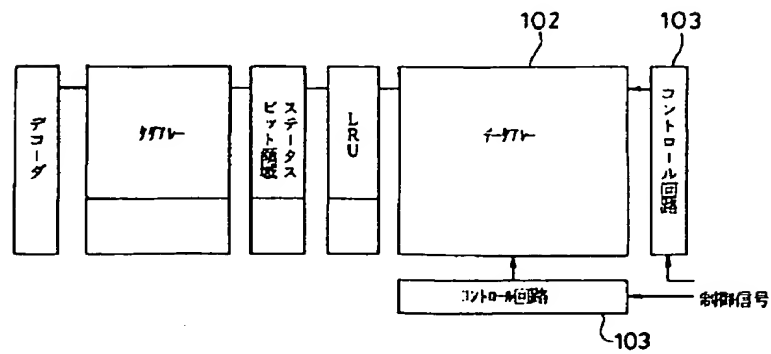
【図6】



【図7】



【図10】





【図8】

